

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 05198783
PUBLICATION DATE : 06-08-93

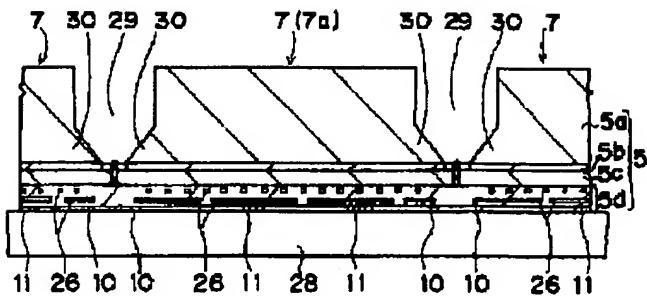
APPLICATION DATE : 23-01-92
APPLICATION NUMBER : 04009810

APPLICANT : HITACHI LTD;

INVENTOR : USAMI MITSUO;

INT.CL. : H01L 27/118 H01L 27/04

TITLE : MANUFACTURE OF
SEMICONDUCTOR INTEGRATED
CIRCUIT DEVICE



ABSTRACT : PURPOSE: To suppress a crack of a semiconductor layer, etc., for forming a semiconductor integrated circuit element due to a stress generated at a rear surface side split groove in a method for manufacturing a semiconductor integrated circuit device for recovering a semiconductor chip by removing a defective macrocell of a plurality of macrocells disposed to be laid in a chip region of a semiconductor wafer having an SOI (Silicon On Insulator) structure, and disposing instead a non-defective macrocell.

CONSTITUTION: The method for manufacturing a semiconductor integrated circuit device for recovering a semiconductor chip has the steps of removing a defective macrocell 7a of a plurality of macrocells 7 disposed to be laid in a chip region, and disposing instead a non-defective macrocell as defective macrocell replacing steps. The method comprises the step of forming a tapered part 30 on the outer periphery of a bottom of a rear surface side U-shaped groove 29 when the groove 29 is formed from a rear surface of a wafer 5 so as to remove the macrocell 7a.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-198783

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl.⁵
H 01 L 27/118
27/04

識別記号 庁内整理番号
A 8427-4M
D 8427-4M
9169-4M

F I
H 01 L 21/82
M

技術表示箇所

審査請求 未請求 請求項の数3(全12頁)

(21)出願番号

特願平4-9810

(22)出願日

平成4年(1992)1月23日

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 宇佐美 光雄

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 小川 勝男

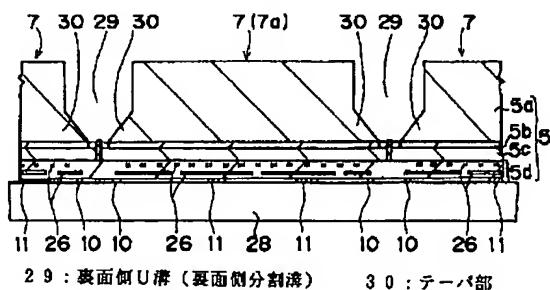
(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【目的】 S O I (Silicon On Insulator) 構造の半導体ウエハのチップ領域内に敷き詰め配置された複数のマクロセルのうち、不良マクロセルを取り出し、代わりに良マクロセルを配置することにより、半導体チップを救済する半導体集積回路装置の製造方法において、裏面側分割溝部分で発生する応力に起因して半導体集積回路素子形成用の半導体層等にクラックが発生する現象を抑制する。

【構成】 チップ領域内に敷き詰め配置された複数のマクロセル7のうち、不良マクロセル7aを取り出し、代わりに良マクロセルを配置する不良マクロセル交換工程を有し、それによって半導体チップを救済する半導体集積回路装置の製造方法において、不良マクロセル7aを取り出すために、ウエハ5の裏面から裏面側U溝29を形成する際に、裏面側U溝29の底部外周にテーパ部30が形成されるようにする。

図15



1

【特許請求の範囲】

【請求項1】 半導体基板上の埋め込み絶縁層上に半導体集積回路素子形成用の半導体層を設けたSOI構造の半導体ウエハのチップ領域に、同一回路機能を有する複数のマクロセルを配置する第一次配線工程と、前記マクロセルの良否を検査する工程と、前記半導体ウエハの裏面において、前記マクロセルの良否検査によって判定された不良マクロセルの周囲に、前記埋め込み絶縁層よりも深い位置に達する主面側分割溝を形成する主面側分割溝形成工程と、前記半導体ウエハの裏面において、前記不良マクロセルの周囲にあたる位置に、前記埋め込み絶縁層に達する裏面側分割溝を形成する裏面側分割溝形成工程と、前記主面側分割溝形成工程および裏面側分割溝形成工程後に不良マクロセルを取り出す工程と、前記不良マクロセルの位置に良マクロセルを嵌入した後、その良マクロセルを固定する工程と、前記不良マクロセルの交換工程後のチップ領域内のマクロセル間を接続して所定の半導体集積回路装置を形成する第二次配線工程とを有する半導体集積回路装置の製造方法であって、前記裏面側分割溝の底部外周にテープが形成されるように裏面側分割溝を掘ることを特徴とする半導体集積回路装置の製造方法。

【請求項2】 前記良マクロセルを固定する工程に際して、前記裏面側分割溝内に、光CVD法によって無機物を埋め込み、前記良マクロセルを固定することを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項3】 前記良マクロセルを固定する工程に際して、前記裏面側分割溝内に、テトラエトキシシランを用いたCVD法によって無機物を埋め込み、前記良マクロセルを固定することを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置の製造技術に関し、特に、半導体集積回路装置の製造工程におけるチップ救済技術に関するものである。

【0002】

【従来の技術】 半導体集積回路装置の製造工程におけるチップ救済技術については、例えば特願平2-332604号に記載があり、その概要は次のとおりである。

【0003】 まず、第一次配線工程において、SOI(Silicon On Insulator)構造の半導体ウエハ(以下、単にウエハといふことがある)のチップ領域内に同一回路機能を有する複数のマクロセルを數き詰めて配置する。

【0004】 マクロセルは、チップ領域内に半導体集積回路を形成する基本的な回路要素であり、この段階では、個々のマクロセル同士は電気的に分離されている。

【0005】 また、マクロセルの周囲には、SOI構造のウエハの埋め込み絶縁層に達する、あるいは若干埋め

10

2

込み絶縁層よりも深い位置にまで達する主面側分割溝が形成されており、その溝の内部には二酸化ケイ素(SiO₂)からなる絶縁膜が埋め込まれている。

【0006】 続いて、チップ領域内の各マクロセルの回路機能および電気的特性を検査する。その後、その検査によって不良と判定されたマクロセルの周囲の主面側分割溝内の絶縁膜を除去した後、SOI構造のウエハの裏面において、不良のマクロセルの周囲に当たる位置に、主面側分割溝に達する裏面側分割溝を形成し、不良マクロセルを取り出す。

【0007】 次いで、不良マクロセルと同様の方法によって、例えば他のウエハから取り出した良マクロセルを、不良マクロセルを取り出した位置にはめ込む。この時、従来は、裏面側分割溝の側面と底面との成す角が、ほぼ直角になっている。

【0008】 その後、裏面側分割溝内にポリイミド等のような合成樹脂を埋め込むことにより、良マクロセルを固定した後、第二次配線工程において、チップ領域内のマクロセル間を配線によって電気的に接続し、チップ領域内に所定の半導体集積回路を形成する。

【0009】

【発明が解決しようとする課題】 ところが、上記従来の技術においては、以下の問題があることを本発明者は見い出した。

【0010】 すなわち、従来は、裏面側分割溝の側面と底面との成す角がほぼ直角となっていたので、裏面側分割溝内の埋め込み材料の残留応力、または、良マクロセル固定工程後の所定の熱処理中に裏面側分割溝部分で発生する埋め込み材料に起因する応力等が、裏面側分割溝の底部角に集中する結果、その底部角を起点として、SOI構造のウエハを構成する埋め込み絶縁層および半導体集積回路素子形成用の半導体層等にクラックが入り、半導体集積回路装置の信頼性および歩留りが低下する問題があった。

【0011】 本発明は上記課題に着目してなされたものであり、その目的は、裏面側分割溝部分で発生する応力を起因して半導体集積回路素子形成用の半導体層等にクラックが発生する現象を抑制することのできる技術を提供することにある。

【0012】 本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0014】 すなわち、請求項1記載の発明は、半導体基板上の埋め込み絶縁層上に半導体集積回路素子形成用の半導体層を設けたSOI構造の半導体ウエハのチップ領域に、同一回路機能を有する複数のマクロセルを配置

する第一次配線工程と、マクロセルの良否を検査する工程と、前記半導体ウエハの正面において、前記マクロセルの良否検査によって判定された不良マクロセルの周囲に、前記埋め込み絶縁層よりも深い位置に達する正面側分割溝を形成する正面側分割溝形成工程と、前記半導体ウエハの裏面において、前記不良マクロセルの周囲にあたる位置に、前記埋め込み絶縁層に達する裏面側分割溝を形成する裏面側分割溝形成工程と、前記正面側分割溝形成工程および裏面側分割溝形成工程後に不良マクロセルを取り出す工程と、前記不良マクロセルの位置に良マクロセルを嵌入した後、その良マクロセルを固定する工程と、前記不良マクロセルの交換工程後のチップ領域内のマクロセル間を接続して所定の半導体集積回路装置を形成する第二次配線工程とを有する半導体集積回路装置の製造方法であって、前記裏面側分割溝の底部外周にテープが形成されるように裏面側分割溝を掘る半導体集積回路装置の製造方法とするものである。

【0015】請求項2記載の発明は、前記良マクロセルを固定する工程に際して、前記裏面側分割溝内に、光CVD法によって無機物を埋め込み、前記良マクロセルを固定する半導体集積回路装置の製造方法とするものである。

【0016】請求項3記載の発明は、前記良マクロセルを固定する工程に際して、前記裏面側分割溝内に、テトラエトキシシランを用いたCVD法によって無機物を埋め込み、前記良マクロセルを固定する半導体集積回路装置の製造方法とするものである。

【0017】

【作用】上記した請求項1記載の発明によれば、裏面側分割溝の底部外周にテープを形成したことにより、従来、裏面側分割溝の底部の直角部分に集中して加わっていた応力が分散されるので、その直角部分を起点として半導体集積回路素子形成用の半導体層等にクラックが発生する現象を抑制することが可能となる。

【0018】また、一般的に、ガラス転移点が高く、融点が高く、また、熱膨張係数が低い等の性質を有する無機物を、裏面側分割溝内に埋め込む上記請求項2または3記載の発明によれば、埋め込み材料に起因する応力発生を抑制できるので、さらに、上記クラックの発生を抑制することが可能となる。

【0019】

【実施例1】図1は本発明の一実施例である半導体集積回路装置の製造方法を説明するための工程図、図2は第一次配線工程終了直後のウエハの全体平面図、図3は図2のウエハに形成されたチップ領域の拡大平面図、図4は図3のチップ領域内に形成されたマクロセルの拡大平面図、図5は図4のマクロセル内に形成されたシフトレジスタ回路部を示す回路図、図6はシフトレジスタ回路部の同期を取るためにクロック信号のタイミングチャート、図7はシフトレジスタ回路部の動作時における制御

線の信号レベルを示す図、図8は入力用シフトレジスタの記号図、図9は図8に示した入力用シフトレジスタの内部回路図、図10は出力用シフトレジスタの記号図、図11は図10に示した出力用シフトレジスタの内部回路図、図12は第一次配線工程終了直後のウエハの要部断面図、図13はマクロセル検査工程中におけるウエハの要部断面図、図14および図15はウエハ裏面側分割溝形成工程を説明するためのウエハの要部断面図、図16はウエハ正面側分割溝形成工程を説明するためのウエハの要部断面図、図17は図16に示したウエハの平面図、図18は良マクロセル固定工程を説明するためのウエハの要部断面図、図19はウエハ正面側溝埋め込み工程を説明するためのウエハの要部断面図、図20はウエハ正面側平坦化工程終了直後のウエハの要部断面図である。

【0020】本実施例1においては、例えば論理LSIチップを製造する方法について説明する。ただし、製造の対象とする半導体集積回路は、論理LSIに限定されるものではなく種々変更可能である。

【0021】図1に本実施例1の半導体集積回路装置の製造工程を示す。本実施例1の半導体集積回路装置の製造工程は、例えば次の4つの工程を有している。すなわち、第一次配線工程1、マクロセル検査工程2、不良マクロセル交換工程3および第二次配線工程4である。そして、不良マクロセル交換工程3は、さらに、例えば後述する7つの工程を有している。

【0022】まず、第一次配線工程1が終了した直後のウエハの平面図を図2に示す。ウエハ5は、例えばシリコン(Si)単結晶からなり、その直径は、例えば6インチ程度である。ウエハ5の主面上には、例えば32個のチップ領域6が配置されている。各チップ領域6の大きさは、例えば20mm×20mm程度である。

【0023】そのチップ領域6の拡大平面図を図3に示す。各チップ領域6内には、例えば400個のマクロセル7が數き詰めて配置されている。各マクロセル7の大きさは、例えば1mm×1mm程度である。

【0024】各マクロセル7には、同一回路機能を有するセル内回路が形成されている。ただし、この段階においては、各マクロセル7間は配線接続されていない。すなわち、各マクロセル7内のセル内回路は、それぞれ回路的に独立した状態になっている。

【0025】そのマクロセル7の拡大平面図を図4に示す。マクロセル7の中央には、例えばセル内回路領域8が配置されている。セル内回路領域8には、例えば3Kゲート程度のゲートアレイ等のようなセル内回路が形成されている。

【0026】ただし、セル内回路はゲートアレイに限定されるものではなく種々変更可能であり、例えば16Kb～64Kb程度のSRAM(Static RAM)やアナログ回路でも良い。

【0027】セル内回路領域8の外周には複数の入出力回路領域9が配置されている。各入出力回路領域9には、入出力バッファ等のような所定の入出力回路が形成されている。

【0028】また、各入出力回路領域9には、パッド10が配置されている。パッド10は、第二次配線工程4において、マクロセル7間を接続するためのパッドである。

【0029】パッド10の数Nは、ゲート数をGとするとレンツ則から、例えば $N=1.9 G^{0.5}$ となる。すなわち、例えば $G=3000$ ゲートの場合、パッド数N=232個である。したがって、各マクロセル7には、少なくとも232個のパッド10が形成されている。

【0030】ところで、本実施例1においては、後述するようにマクロセル検査工程2において各マクロセル7の電気的特性をプローバ等により検査する。しかし、1mm角という微細なマクロセル7内の232個のパッド10に対してプローブ針を接触させるのは不可能である。EB(Electron Beam)テストを用いても同様である。

【0031】そこで、本実施例1においては、スキャンテスト法を応用することによってその問題を解決している。一般的なスキャンテスト法については、例えばリアルライズ社(REALIZE・INC.)、昭和59年2月29日発行、「カスタムLSI応用設計ハンドブック」P150～P154や特開昭57-69349号公報に記載があるのでここでは省略する。

【0032】本実施例1においては、マクロセル7の主面上に形成された小数個のテストパッド11にプローブ針を接触させて、セル内回路の電気的特性を検査することが可能となっている。

【0033】各テストパッド11は、例えば各マクロセル7のセル内回路領域8上に配置されている。テストパッド11の数は、例えば5～11個程度である。この程度のパッド数であれば、1mm角のマクロセル7であっても、プローブ針を接触させるのに充分な大きさのテストパッド11を形成できる。各テストパッド11の大きさは、例えば $50\mu m \times 50\mu m$ 程度である。

【0034】また、テストパッド11は、マクロセル7上に規則的に配置されている。すなわち、本実施例1では、マクロセル7およびテストパッド11が規則的に配置されているため、マクロセル7の検査に際し、各マクロセル7のテストパッド11に対してプローブ針を規則的に接触させることができなくなっている。したがって、全マクロセル7の検査を速やかに、かつ能率的に行えるようになっている。

【0035】テストパッド11は、例えば図4に示した入出力回路部領域9の外周に配置された後述するシフトレジスタ回路部を介してセル内回路と電気的に接続されている。シフトレジスタ回路部を図5に示す。

【0036】シフトレジスタ回路部12は、複数のシフ

トレジスタ13が配線Dによって直列に接続され構成されている。

【0037】配線CK0, CK1は、図6に示すようなクロック信号を各シフトレジスタ13に伝送するための配線である。また、配線TM, OSは、シフトレジスタ回路部12の動作を制御する制御線である。配線TMには、シフトレジスタ回路部12をテストモードに変換する信号が伝送される。配線OSには、セル内回路からの検出データをシフトレジスタ13にセットする信号が伝送される。なお、シフトレジスタ回路部12の動作における制御線の信号レベルを図7に示す。

【0038】シフトレジスタ13には、後述する入力用シフトレジスタと、出力用シフトレジスタがある。図8に入力用シフトレジスタ13aの記号を示す。配線SIはシフトイン配線、配線SOはシフトアウト配線である。これら配線SI, SOは、図5に示した配線Dにある。配線GOはセル内回路と接続されている。

【0039】図9に入力用シフトレジスタ13aの内部回路を示す。配線CK1, CK0は、それぞれAND14a, 14bの入力に接続されている。また、配線OSもAND14a, 14bの他の入力に接続されている。

【0040】AND14a, 14bの出力は、それぞれAND15a, 15bの入力に接続されている。配線SIはAND15aを介してフリップフロップ(以下、F/Fと略す)16aに接続されている。

【0041】F/F16aの出力はAND15bを介してF/F16bに接続されている。

【0042】F/F16bの出力は、AND17の入力および配線SOに接続されている。配線TMはAND17およびAND18の入力に接続されている。AND17, 18の出力はOR19を介して配線GOに接続されている。

【0043】すなわち、次のようにになっている。配線OSに“L”信号が入力されると、AND14a, 14bが動作してAND15a, 15bにクロック信号が伝送される。

【0044】そして、配線SIから入力された検査データは、そのクロック信号に同期してF/F16a, 16bにシフトインされる。この際、配線TMに“H”信号が入力されると、AND17が動作してセル内回路に検査データが入力される。

【0045】一方、配線OSに“H”信号が入力されると、AND14a, 14bは非動作となり、検査データはシフトされないようになっている。

【0046】また、図10に出力用シフトレジスタ13bの記号を示す。配線GIはセル内回路に接続されている。図11に出力用シフトレジスタ13bの内部回路を示す。

【0047】配線SIはAND20の入力に接続されており。配線OSはAND20およびAND21の入力に

接続されている。AND 20, 21の出力はOR 22を介してAND 23aの入力に接続されている。AND 23aの他の入力には配線CK 1が接続されている。

【0048】AND 23aの出力はF/F 16aを介してAND 23bの入力に接続されている。AND 23bの他の入力には配線CK 0が接続されている。AND 23bの出力はF/F 16bを介して配線SOに接続されている。セル内回路に接続された配線GIは、バッファ24を介してAND 21の入力およびパッド10に接続されている。

【0049】すなわち、次のようにになっている。配線OSに“L”信号が入力されるとAND 20が動作し、配線SIから入力された検出データがクロック信号に同期してF/F 16a, 16bにシフトインされる。

【0050】一方、配線OSに“H”信号が入力されるとAND 20は非動作となり、代わりにAND 21が動作して配線GIに伝送されたセル内回路からの検出データがクロック信号に同期してF/F 16a, 16bにシフトインされる。

【0051】この段階で、再び、配線OSに“L”信号が入力されると、検出データが出力用シフトレジスタ13bから配線SOに出力されるようになっている。なお、配線TM, OSの信号レベルがともに“L”レベルの際には、シフトレジスタ回路部12は動作しないようになっている。

【0052】このように本実施例1においては、テストパッド11および配線Dを通じて直列入力された検出データをシフトレジスタ回路部12を介して並列信号に変換してセル内回路に伝送することが可能になっている。

【0053】また、セル内回路から並列出力された検出データをシフトレジスタ回路部12を介して直列信号に変換し、その信号をテストパッド11から取り出すことが可能になっている。したがって、例えば5~11個程度の少数個のテストパッド11を通じてセル内回路の検査を行うことが可能になっている。

【0054】次に、第一次配線工程1が終了した直後のウエハ5の要部断面図を図12に示す。ウエハ5は、例えばSOI構造を有している。半導体層(半導体基板)5aは、例えばSi単結晶からなり、その上層には、埋め込み絶縁層5bが形成されている。埋め込み絶縁層5bは、例えばSiO₂からなり、その厚さは、例えば0.5μm程度である。

【0055】埋め込み絶縁層5b上には、半導体層5cが形成されている。半導体層5cは、例えばSi単結晶からなり、その厚さは、例えば2~3μm程度である。半導体層5cには、半導体集積回路素子(図示せず)が形成されている。

【0056】また、半導体層5cには、各マクロセル7を取り囲むように、マクロセル間素子分離用の絶縁体25が形成されている。絶縁体25は、例えばSiO₂か

らなる。絶縁体25の幅は、例えば0.5μm程度であり、絶縁体25の深さは、埋め込み絶縁層5bよりも僅かに深い位置にまで達している。

【0057】半導体層5c上には、多層配線層5dが形成されている。多層配線層5dの厚さは、例えば3~5μm程度である。多層配線層5dには、セル内配線26が形成されている。セル内配線26の幅は、例えば2μm程度、厚さは、例えば0.5μm程度、配線ピッチは、例えば2.5μm程度である。

【0058】なお、多層配線層5dを含めたウエハ5の厚さは、例えば500μm程度である。また、図12の破線はマクロセル7の境界を示している。

【0059】マクロセル検査工程2においては、図13に示すように、各マクロセル7のテストパッド11にプローブ針27を接触させて、マクロセル7の良否を判定する。

【0060】なお、検査項目は、例えばDCファンクションテスト、入出力端子のDCバラメータテスト、ACスイッチングテスト等である。

【0061】次いで、不良マクロセル交換工程3においては、図1に示す工程3a~3gに従って不良マクロセル7aを、後述の良マクロセルに交換する。

【0062】ウエハ裏面側分割溝形成工程3aにおいては、次の処理を行う。まず、図14に示すように、ウエハ5を逆さまにした状態で載置台28上に載置した後、ダイシング(図示せず)の歯によって、埋め込み絶縁層5bに達しない程度の深さのU溝29aをウエハ5の裏面側から掘る。この時、ダイシングの歯の先端の形状は、U溝29aの底部外周に、図14に示すようなテーパ部30aが形成されるような形狀とする。

【0063】続いて、ウエハ5の裏面に形成したレジストパターン(図示せず)をマスクとして、U溝29aの底部の半導体層5a部分を等方性のドライエッチング法等によって除去する。この際、U溝29aの底部外周のテーパ部30aを残したままエッチングが進行するようエッチング条件を設定する。

【0064】また、S1のみが選択的にエッチングされるようにエッチング条件を設定する。これにより、そのドライエッチングの際に、埋め込み絶縁層5bおよび絶縁体25がエッチングストップとして作用するので、取り出すマクロセル7およびその周囲のマクロセル7の半導体集積回路素子に損傷を与えることもない。

【0065】このようにして、図15に示すように、ウエハ5の裏面に、その底部にテーパ部30を有する裏面側U溝(裏面側分割溝)29を形成する。

【0066】次いで、ウエハ正面側分割溝形成工程3bにおいては、次の処理を行う。すなわち、S1O₂のみを選択的にエッチングするように条件設定したドライエッチング法等によって、図16に示すように、裏面側U溝29の底部の埋め込み絶縁層5b、絶縁体25(図1

5 参照) および絶縁体 2 5 の下方における多層配線層 5 d の S i O₂ 部分を除去し、主面側 U 溝（主面側分割溝）3 1 を自己整合的に形成する。

【0067】このようにして不良マクロセル 7 a をウエハ 5 から分離する。この際、S i O₂ のみを選択的にエッチングするように条件設定されているので、分離された不良マクロセル 7 a およびその周囲のマクロセル 7 における半導体層 5 c の側壁の形状が大幅に変形したり、主面側 U 溝 3 1 の加工寸法が大幅に変動することもない。

【0068】このため、交換用の良マクロセルの位置合せや組込みの優位性が損なわれることもない。また、このマクロセル 7 の取り出し方法を、そのまま交換用の良マクロセル 7 の製造方法とすることができる。なお、この処理後のウエハ 5 の主面の平面図を図 17 に示す。

【0069】次いで、不良マクロセル除去工程 3 cにおいて、不良マクロセル 7 a を取り除いた後、続く、良マクロセル組込み工程 3 d においては、不良マクロセル 7 a の除去領域に良マクロセルを配置する。なお、この場合の良マクロセルは、例えば上述の不良マクロセル 7 a の取り出し方法と同様にして他の S O I 構造のウエハから取り出したものである。

【0070】その後、良マクロセル固定工程 3 e においては、図 18 に示すように、裏面側 U 溝 2 9 内に、例えばポリイミド樹脂あるいはエポキシ樹脂等を流しこみ、埋め込み膜 3 2 a を形成し、良マクロセル 7 を固定する。

【0071】ところで、本実施例 1 においては、裏面側 U 溝 2 9 の底部外周にテーパ部 3 0 が形成されているため、従来、裏面側 U 溝の底部の直角部分に集中して加わっていた応力が分散されるので、その直角部分を起点として半導体層 5 c 等にクラックが入る現象を抑制することが可能となっている。

【0072】次いで、主面側分割溝埋め込み工程 3 f においては、図 19 に示すように、例えば S i O₂ 等からなる絶縁膜 3 3 をウエハ 5 の主面上に CVD 法等により堆積して主面側 U 溝 3 1 を埋め込む。

【0073】続く、ウエハ主面側平坦化工程 3 g においては、例えば次の処理を行う。まず、図 19 に示すように、絶縁膜 3 3 上に平坦化絶縁膜 3 4 を堆積する。この際、平坦化絶縁膜 3 4 をその上面が略平坦になる程度に堆積する。その後、例えば R I E 法により平坦化絶縁膜 3 4 をエッチバックし、図 20 に示すように、絶縁膜 3 3 の上面を平坦化する。

【0074】次いで、第二次配線工程 4 においては、各マクロセル 7 間をセル間配線（図示せず）によって接続し、チップ領域 6 内に所定の論理 L S I を形成する。セル間配線の幅は、例えば 4 μm 程度、厚さは、例えば 1 μm 程度、配線ピッチは、例えば 5 μm 程度である。

【0075】続いて、ウエハテストを行って、各チップ

領域 6 毎に論理 L S I の電気的特性を検査し、各チップ領域 6 の良否を判定した後、ウエハスクライプ処理によってウエハ 5 からチップ領域 6 を分割し、チップ製造を終了する。

【0076】このように本実施例 1 によれば、裏面側 U 溝 2 9 の底部外周にテーパ部 3 0 を形成したことにより、従来、裏面側 U 溝の底部の直角部分に集中して加わっていた応力が分散されるので、その直角部分を起点として半導体集積回路装置の半導体層 5 c 等にクラックが発生する現象を抑制することが可能となる。この結果、半導体集積回路装置の信頼性および歩留りを向上させることができる。

【0077】

【実施例 2】図 21 は本発明の他の実施例である半導体集積回路装置の製造工程におけるウエハの要部断面図である。

【0078】本実施例 2 においては、前記良マクロセル固定工程において、底部外周にテーパ部の形成された裏面側 U 溝を、例えば光 C V D 法によって形成された無機物を埋め込む場合について図 21 により説明する。

【0079】まず、ウエハ 5 を逆さにした状態で、光 C V D 装置（図示せず）の処理室のサセプタ 3 5 上に載置した後、その処理室内に、例えばシラン系の反応ガス等を導入する。

【0080】続いて、裏面側 U 溝 2 9 に、例えばエキシマレーザ等のような光ビーム 3 6 を照射して裏面側 U 溝 2 9 内に、例えばポリシリコンからなる埋め込み膜 3 2 b を形成する。

【0081】ただし、この場合の埋め込み膜 3 2 b は、ポリシリコンに限定されるものではなく種々変更可能であり、例えば S i O₂ でも良い。なお、このようにして裏面側 U 溝 2 9 を埋め込みした後の工程は、前記実施例 1 と同様である。

【0082】このように本実施例 2 によれば、一般的に、ガラス転移点が高く、融点が高く、また、熱膨張係数が低い等の性質を有する無機物を、裏面側 U 溝 2 9 内に埋め込むことにより、埋め込み材料に起因する応力発生を抑制できるので、さらに、前記クラックの発生を抑制することが可能となる。

【0083】また、無機物は、一般的に水分を通し難いので、裏面側 U 溝 2 9 部分を通じて半導体チップの主面側に水分が侵入する現象を抑制することが可能となる。

【0084】これらの結果、半導体集積回路装置の信頼性および歩留りを向上させることができるとなる。

【0085】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例 1, 2 に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0086】例えば前記実施例 2 においては、裏面側 U 溝内に光 C V D 法により形成された無機物を埋め込む場

II

合について説明したが、これに限定されるものではなく種々変更可能であり、例えば裏面側U溝内にテトラエトキシシラン（以下、TEOSという）を用いたCVD法によりSiO₂等を埋め込むようにしても良い。

【0087】この場合のCVD法としては、例えば低圧下でTEOSとオゾン（O₃）とを反応させるO₃-TEOS低圧CVD法、常圧下でTEOSとO₃とを反応させるO₃-TEOS常圧CVD法またはプラズマ中でTEOSを反応させるプラズマTEOS法がある。

【0088】図22に、この処理工程後のウエハ5の要部断面図を示す。この場合、前記実施例2で得られた効果の他に、埋め込み膜32cを比較的の低温（例えば400～450度）で形成できる効果が得られる。

【0089】また、裏面側U溝を埋め込む他の方法として、例えばソル状またはゲル状の無機物をウエハの裏面に塗布する方法もある。このは、例えば次のようにする。

【0090】すなわち、シラノールを主成分とする塗布剤をウエハの裏面にスピンドルコート法等によって塗布した後、そのウエハに対して所定温度で熱処理を施し、塗布剤中の溶媒を蒸発させ、さらに重合反応を進行させて、ウエハの裏面側にSOG（Spin On Glass）膜を形成する。

【0091】図23に、この処理工程後のウエハ5の要部断面図を示す。この場合、埋め込み膜32dの形成工程が容易である、埋め込み膜32dの形成処理能力が大きいのでスループットを向上できる等のような効果が得られる。

【0092】また、不良マクロセルの取り出しに際して裏面側U溝を形成する方法として、例えば次のようにしても良い。まず、図24に示すように、ウエハ5の裏面において不良マクロセル7aの外周に、ダイシングの歯によってU溝29bを形成する。この際のU溝29bは、埋め込み絶縁層5bに達しない。

【0093】統いて、図25に示すように、U溝29bの中央にU溝29bよりも小幅のU溝29cを、図24で説明したダイシングの歯よりも小幅のダイシングの歯を用いて形成する。この際のU溝29cも埋め込み絶縁層5bに達しない。

【0094】その後、Siのみを選択的にエッチングするように条件設定した等方性ドライエッチング法等によって、ウエハ5の裏面に形成したレジストパターン（図示せず）をマスクとして、U溝29b、29c内のSi部分をエッチング除去し、図26に示すように、底部外周にラウンド状のテーパ部30が形成された裏面側U溝29を形成する。

【0095】また、裏面側U溝を、リソグラフィ技術によって形成することも可能である。

【0096】この場合は、まず、例えばウエハの裏面に図24に示したU溝29bを形成するためのレジストバ

10
12

ターンを形成しエッチング処理をした後、そのレジストパターンを除去して、今度は、ウエハの裏面に、図25に示したU溝29cを形成するためのレジストパターンを形成し、エッチング処理を行うようにすれば良い。

【0097】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0098】すなわち、前記した請求項1記載の発明によれば、裏面側分割溝の底部外周にテーパを形成したことにより、従来、裏面側分割溝の底部の直角部分に集中して加わっていた応力が分散されるので、その直角部分を起点として半導体集積回路素子形成用の半導体層等にクラックが発生する現象を抑制することが可能となる。この結果、半導体集積回路装置の信頼性および歩留りを向上させることができる。

【0099】また、一般的に、ガラス転移点が高く、融点が高く、また、熱膨張係数が低い等の性質を有する無機物を、裏面側分割溝内に埋め込む前記請求項2または3記載の発明によれば、埋め込み材料に起因する応力発生を抑制できるので、さらに、上記クラックの発生を抑制することが可能となる。この結果、半導体集積回路装置の信頼性および歩留りを向上させることができるとなる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の製造方法を説明するための工程図である。

【図2】第一次配線工程終了直後のウエハの全体平面図である。

【図3】図2のウエハに形成されたチップ領域の拡大平面図である。

【図4】図3のチップ領域内に形成されたマクロセルの拡大平面図である。

【図5】図4のマクロセル内に形成されたシフトレジスタ回路部を示す回路図である。

【図6】シフトレジスタ回路部の同期を取るためのクロック信号のタイミングチャートである。

【図7】シフトレジスタ回路部の動作時における制御線の信号レベルを示す図である。

【図8】入力用シフトレジスタの記号図である。

【図9】図8に示した入力用シフトレジスタの内部回路図である。

【図10】出力用シフトレジスタの記号図である。

【図11】図10に示した出力用シフトレジスタの内部回路図である。

【図12】第一次配線工程終了直後のウエハの要部断面図である。

【図13】マクロセル検査工程におけるウエハの要部断面図である。

【図14】ウエハ裏面側分割溝形成工程を説明するため

13

のウエハの要部断面図である。

【図 15】ウエハ裏面側分割溝形成工程を説明するためのウエハの要部断面図である。

【図 16】ウエハ主面側分割溝形成工程を説明するためのウエハの要部断面図である。

【図 17】図 16 に示したウエハの平面図である。

【図 18】良マクロセル固定工程を説明するためのウエハの要部断面図である。

【図 19】ウエハ主面側溝埋め込み工程を説明するためのウエハの要部断面図である。

【図 20】ウエハ主面側平坦化工程終了直後のウエハの要部断面図である。

【図 21】本発明の他の実施例である半導体集積回路装置の製造工程中における良マクロセル固定工程を説明するためのウエハの要部断面図である。

【図 22】本発明の他の実施例である半導体集積回路装置の製造工程中における良マクロセル固定工程を説明するためのウエハの要部断面図である。

【図 23】本発明の他の実施例である半導体集積回路装置の製造工程中における良マクロセル固定工程を説明するためのウエハの要部断面図である。

【図 24】本発明の他の実施例である半導体集積回路装置の製造工程である裏面側分割溝形成工程を説明するためのウエハの要部断面図である。

【図 25】本発明の他の実施例である半導体集積回路装置の製造工程である裏面側分割溝形成工程を説明するためのウエハの要部断面図である。

【図 26】本発明の他の実施例である半導体集積回路装置の製造工程である裏面側分割溝形成工程を説明するためのウエハの要部断面図である。

【符号の説明】

1 第一次配線工程

2 マクロセル検査工程

3 不良マクロセル交換工程

3 a ウエハ裏面側分割溝形成工程

3 b ウエハ主面側分割溝形成工程

3 c 不良マクロセル除去工程

3 d 良マクロセル組込み工程

3 e 良マクロセル固定工程

3 f ウエハ主面側分割溝埋め込み工程

3 g ウエハ主面側平坦化工程

4 第二次配線工程

5 半導体ウエハ

5 a 半導体層

5 b 埋め込み絶縁層

5 c 半導体層

14

5 d 多層配線層

6 チップ領域

7 マクロセル

7 a 不良マクロセル

8 セル内回路領域

9 入出力回路領域

10 パッド

11 テストパッド

12 シフトレジスタ回路部

13 シフトレジスタ

13 a 入力用シフトレジスタ

13 b 出力用シフトレジスタ

14 a AND

14 b AND

15 a AND

15 b AND

16 a F/F

16 b F/F

17 AND

18 AND

19 OR

20 AND

21 AND

22 OR

23 a AND

23 b AND

24 バッファ

25 絶縁体

26 セル内配線

27 プローブ針

28 載置台

29 裏面側U溝（裏面側分割溝）

29 a U溝

29 b U溝

29 c U溝

30 テーパ部

30 a テーパ部

31 主面側U溝（主面側分割溝）

32 a 埋め込み膜

32 b 埋め込み膜

32 c 埋め込み膜

32 d 埋め込み膜

33 絶縁膜

34 平坦化絶縁膜

35 サセプタ

36 光ビーム

【図1】

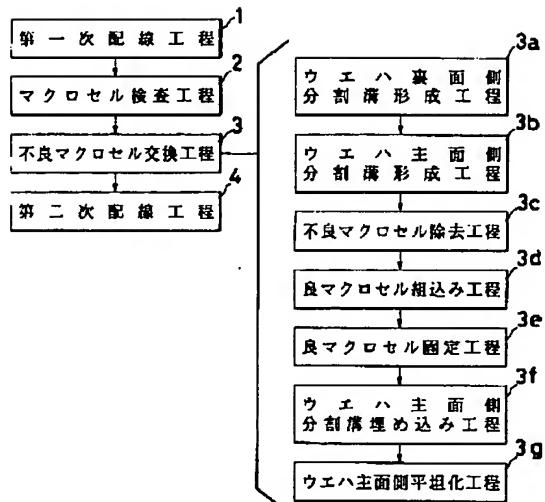


図1

【図2】

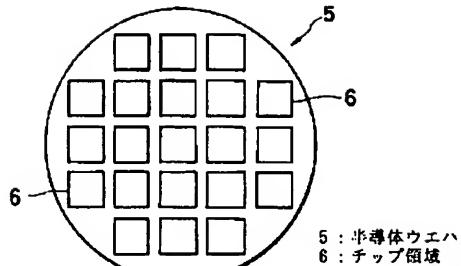
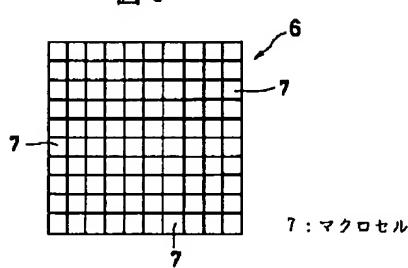
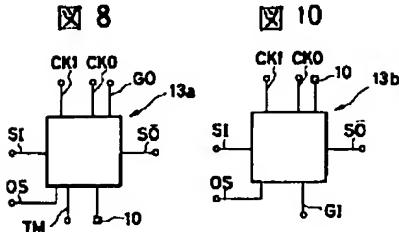


図2

【図3】

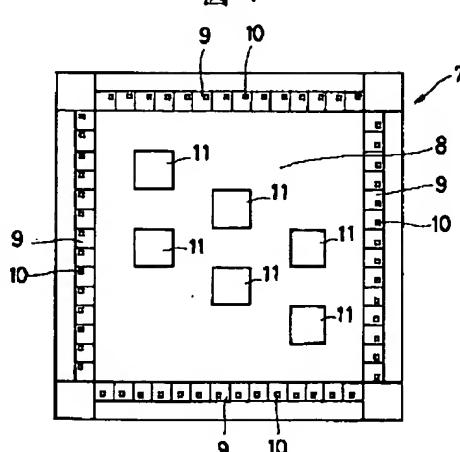


【図8】

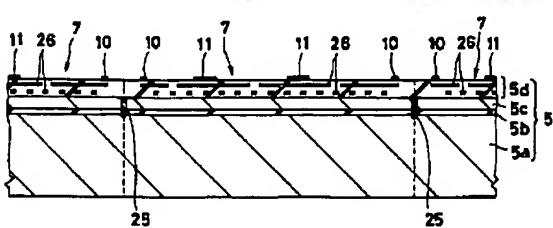


【図10】

【図4】



【図12】



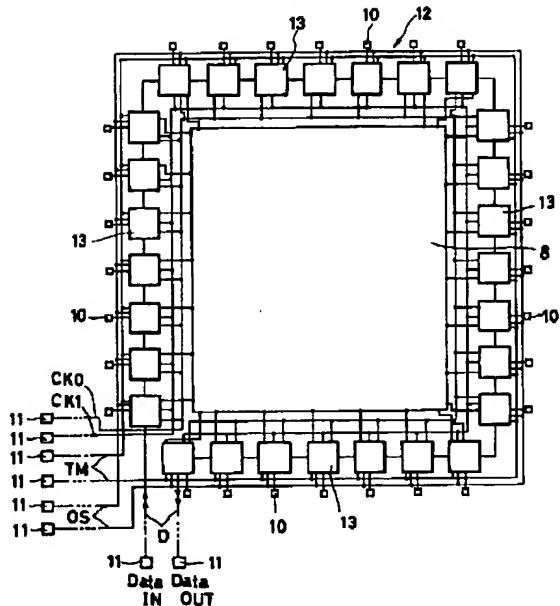
配線動作モード	TM	OS
シフトインモード	H	L
出力データセットモード	H	H
シフトアウトモード	H	L

【図7】

図7

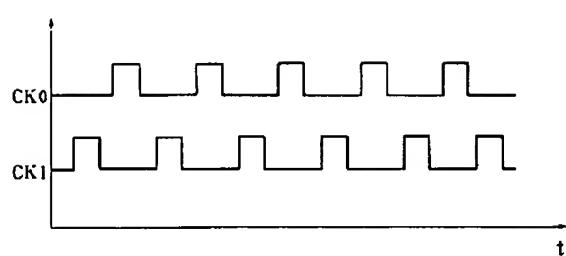
【图5】

5



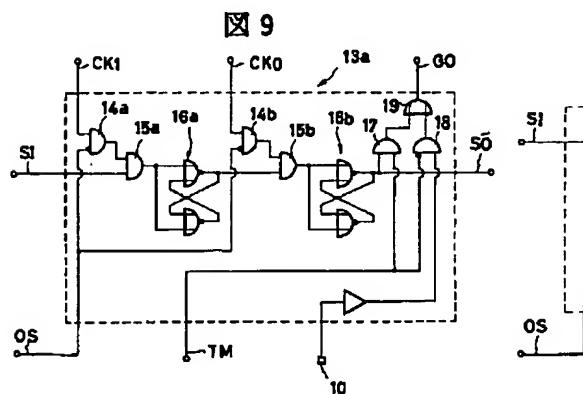
[図6]

图 6



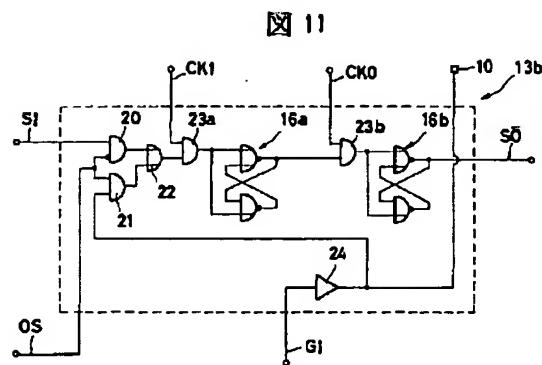
[图9]

[図 11]



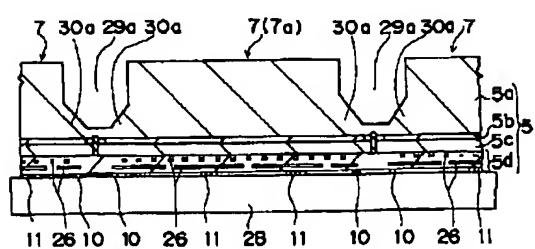
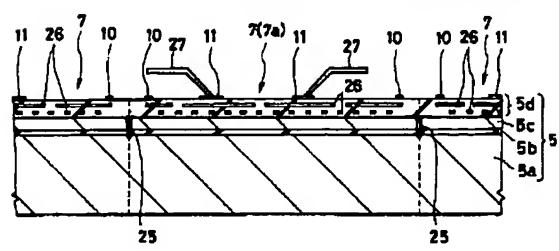
[图13]

図 13 7a: 不良マクロセル



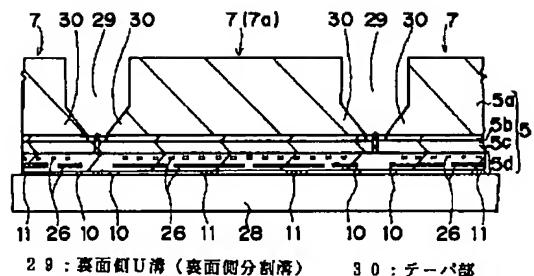
[图 14]

圖 14



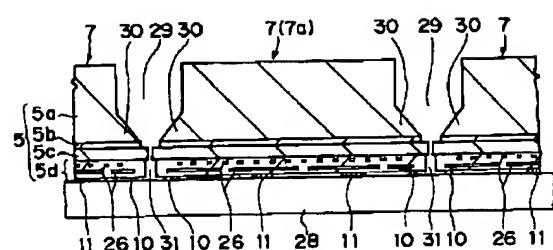
【図15】

図15



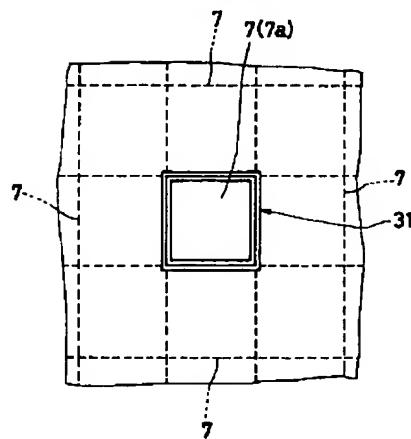
【図16】

図16



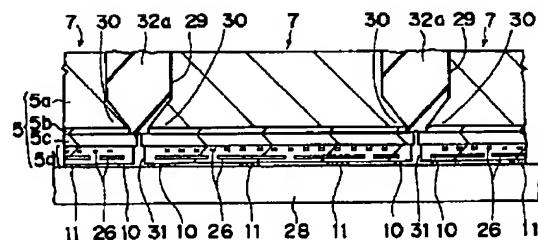
【図17】

図17



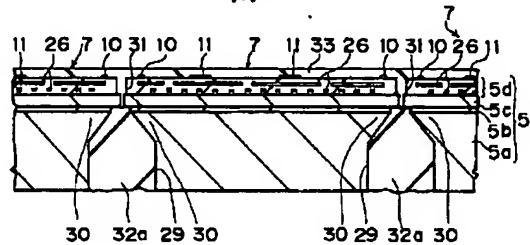
【図18】

図18



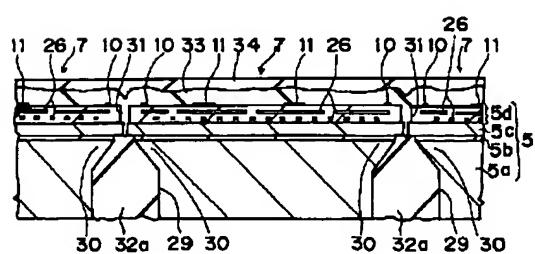
【図20】

図20



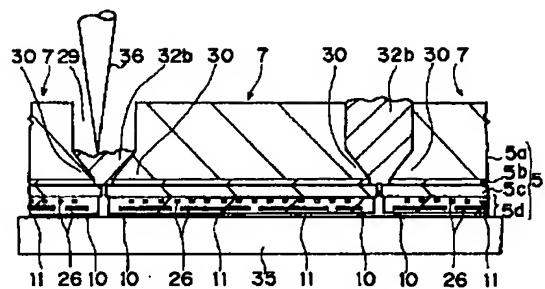
【図19】

図19



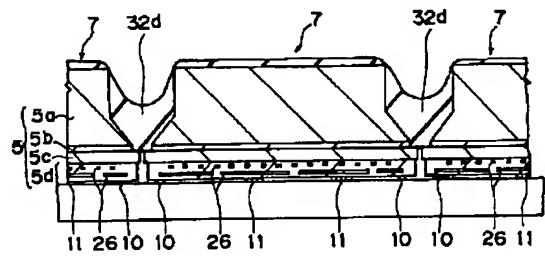
【図21】

図21



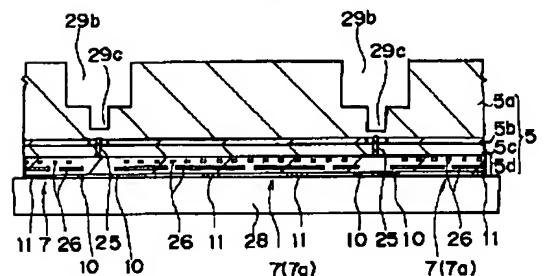
【図23】

図23



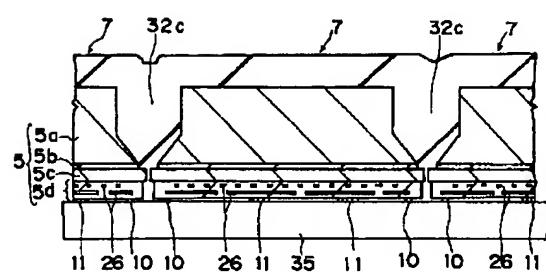
【図25】

図25



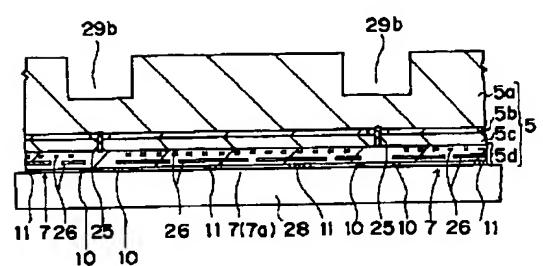
【図22】

図22



【図24】

図24



【図26】

図26

